William Stallings
Computer Organization and Architecture
8th Edition

Chapter 5

Memória Interna

Tipos de Memória Semicondutora

<table>
<tr><th>Tipo de Memória</th><th>Categoria</th><th>Apagar</th><th>Mecanismo de Escrita</th><th>Volatilidade</th></tr>
<tr><td>Random-access memory (RAM)</td><td>Memória de Leitura/Escrita</td><td>Eletricamente - Nível de byte</td><td>Eletricamente</td><td>Volátil</td></tr>
<tr><td>Read-only memory (ROM)</td><td rowspan="2">Memória somente para leitura</td><td rowspan="2">Não é possível</td><td>Máscara</td><td rowspan="5">Não volátil</td></tr>
<tr><td>Programmable ROM (PROM)</td><td rowspan="4">Eletricamente</td></tr>
<tr><td>Erasable PROM (EPROM)</td><td rowspan="3">Memória preferenciamente para leitura</td><td>Luz UV – Nível de chip</td></tr>
<tr><td>Electrically Erasable PROM (EEPROM)</td><td>Eletricamente – Nível de byte</td></tr>
<tr><td>Flash memory</td><td>Eletricamente – Nível de bloco</td></tr>
</table>

Read Only Memory (ROM)

- Armazenamento permanente
  - Não volátil
- Microprogramação
- Bibliotecas
- Programas de Sistemas (BIOS)

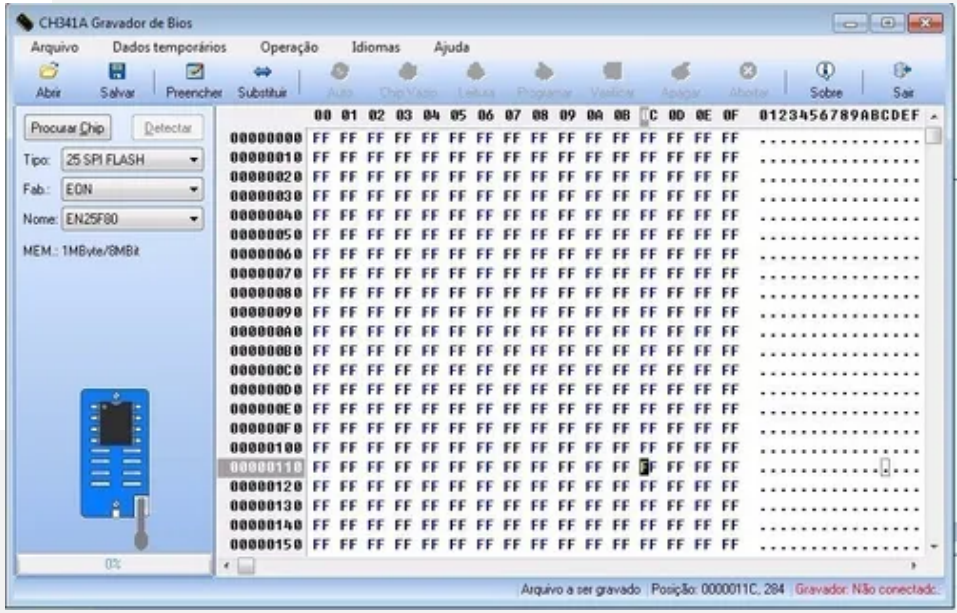
Tipos de ROM

- Escrita em produção
  - Muito cara para pequenas aplicações
- Programável (Uma vez)
  - PROM
  - Precisa de equipamento específico para programar
- Leitura "principalmente"
  - Apagável e programável (EPROM)
    - Apagável por UV
  - Apagável eletricament (EEPROM)
    - Leva mais tempo para escrever do que para ler
  - Memória Flash
    - Apaga toda a memória eletricamente

Tipos de ROM

PLCC EXTRACTOR
TOPO Tool

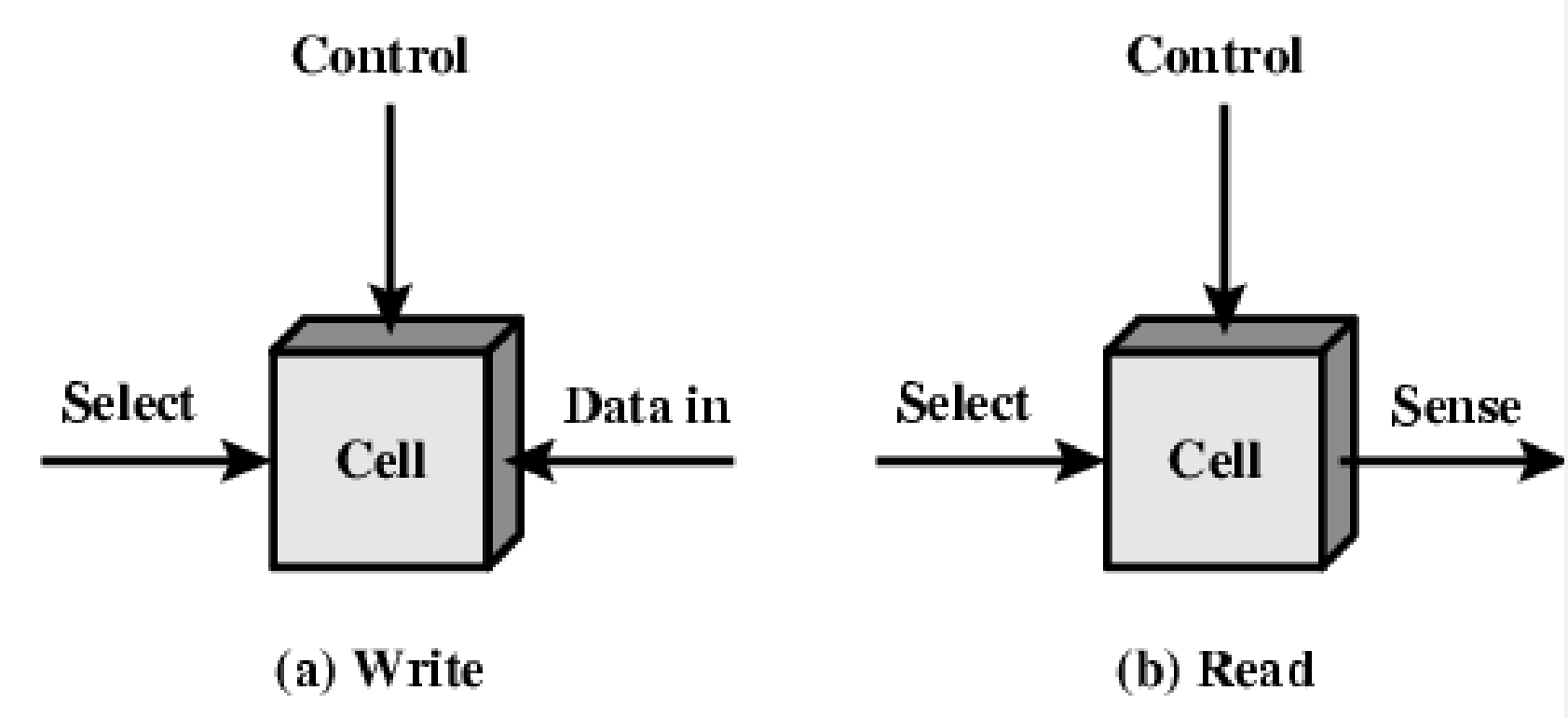
CAPCOM
SEGA
GENESIS


CH341A Gravador de Bios
Arquivo
Dados temporários
Operação
Idiomas
Ajuda
Abrir
Salvar
Preencher
Substituir
Sobre
Sair
Procurar Chip
Detectar
Tipo: 25 SPI FLASH
Fab.: EON
Nome: EN25F80
MEM.: 1MByte/8MBit
00 01 02 03 04 05 06 07 08 09 0A 0B 0C 0D 0E 0F 0123456789ABCDEF
00000000 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000010 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000020 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000030 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000040 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000050 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000060 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000070 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000080 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000090 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000A0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000B0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000C0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000D0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000E0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
000000F0 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000100 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000110 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000120 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000130 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000140 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
00000150 FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF FF
0%
Arquivo a ser gravado
Posição: 0000011C, 284
Gravador: Não conectado

Memória Semicondutora

- RAM
  - Memória semicondutora de acesso aleatório
  - Leitura/Escrita
  - Volátil
  - Armzenamento Temporário
  - Estática (Static) ou Dinâmica (Dynamic)

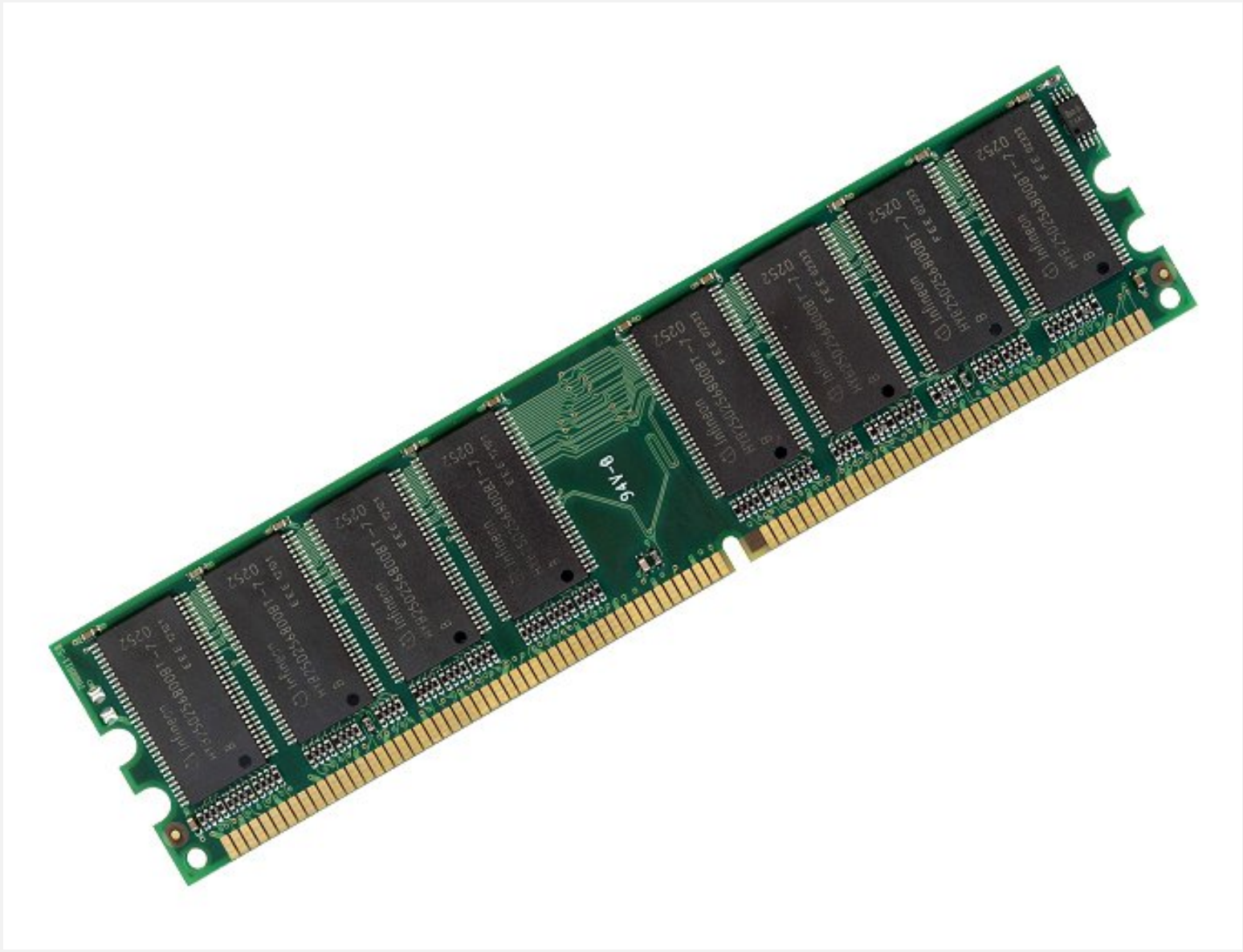
Operação na célula de memória



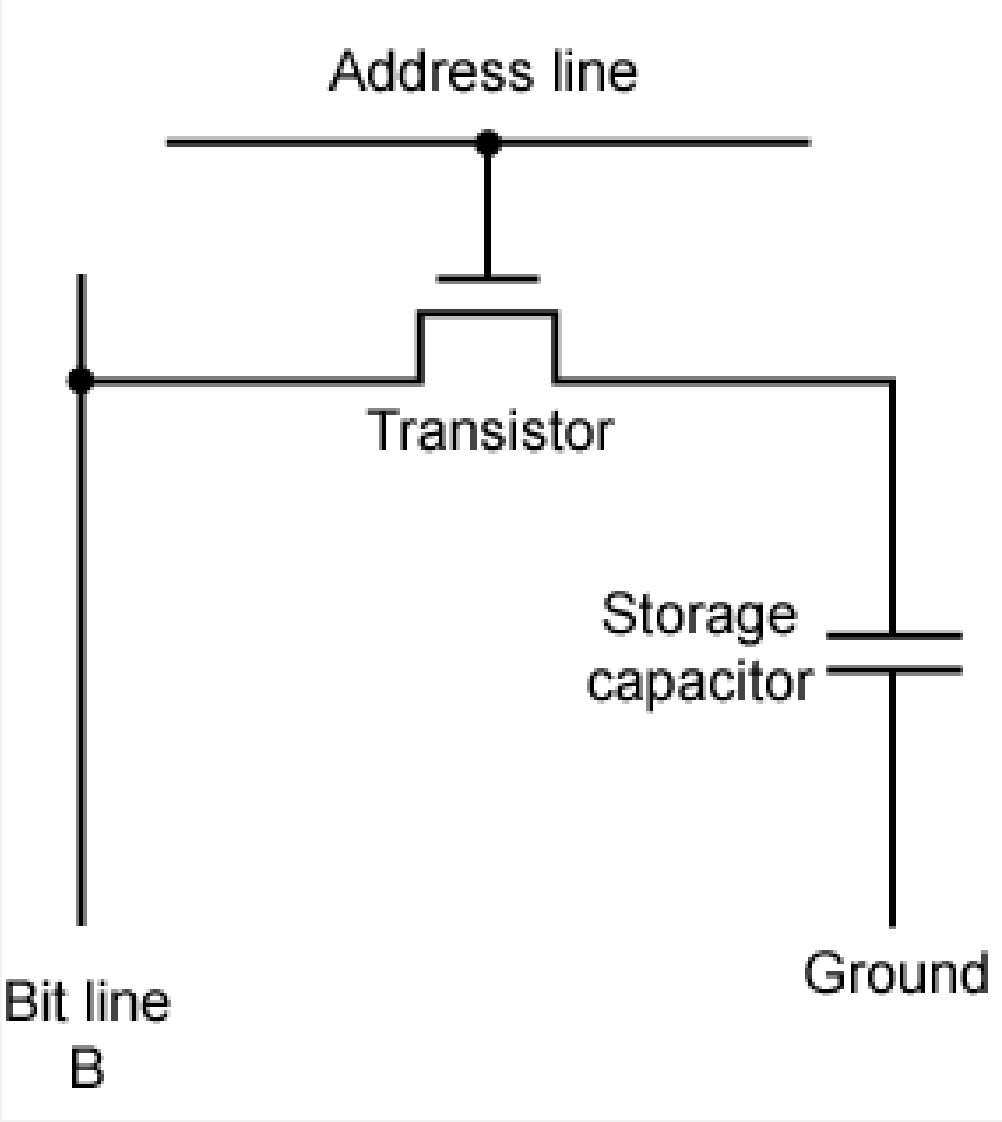
Dynamic RAM – RAM Dinâmica

- Bits armazenados como cargas em capacitores
- Fuga de carga
- Necessita recarga mesmo quando alimentado eletricamente
- Construção simples
- Pequeno por bit
- Menos caro
- Necessita de circuito de realimentação
- Lento
- Memória Principal
- Analógica
  - Level of charge determines value

Dynamic RAM (DRAM)



Estrutura DRAM



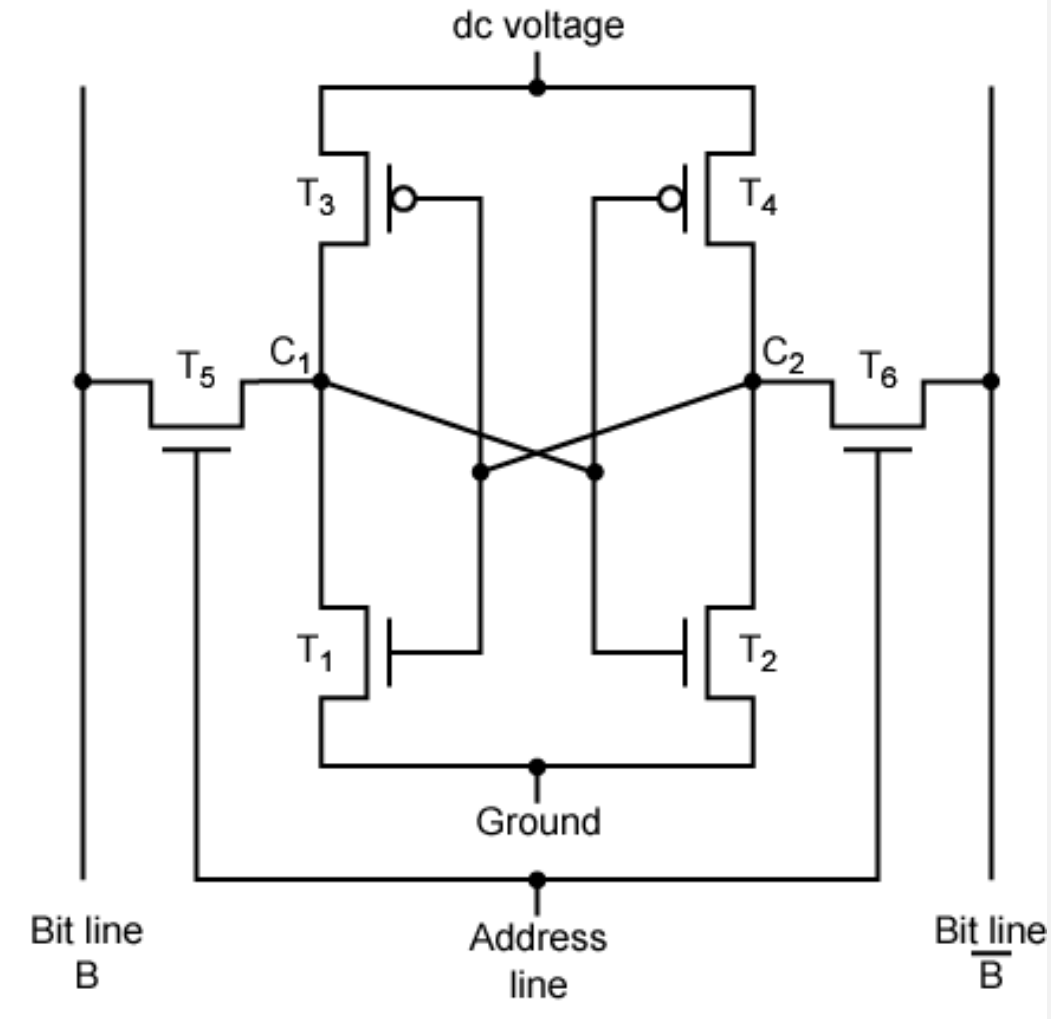
Operação DRAM

- Linhas de endereços ativa quando o bit é lido ou escrito
- Escrita
  - Alimentação na linha
    - Sinal alto para 1 – baixo para 0
  - Então a linha de endereço
    - Transfere a carga para o capacitor
- Leitura
  - Linha de endereço selecionada
  - Carga do capacitor verificada
    - Se carregado 1 – Se descarregado 0
  - Carga no capacitor deve ser restaurada

Static RAM – RAM Estática

- Bits aramzenados como ligado/desligado
- Sem carga para vazar
- Não precisa de realimentação quando ligado
- Construção mais complexa
- Maior por bit
- Mais caro
- Não precisa de circuitos de realimentação
- Mais rápido
- Cache
- Digital
  - Usa flip-flops

Estrutura SRAM



SRAM versus DRAM

- Ambas voláteis
  - Precisam ter alimentação elétrica para manter os dados
- Célula Dinâmica
  - Construção simples, menor
  - Mais densa
  - Menos cara
  - Precisa de realimentação
  - Módulos de memória com maior capacidade
- Estática
  - Mais rápida
  - Cache

Organização em detalhes

- Um chip de 16Mbit pode ser organizado como 1M de 16 bit words
- Um chip de 16Mbit chip pode ser organizado como uma matriz 2048 x 2048 x 4bit

Memória Interpolada

- Coleção de chips de DRAM
- Agrupados em bancos de memórias
- K bancos podem attender k requisições simultaneamente

Memória Interpolada

Correção de Erro

- Falha grave
  - Defeito permanente
- Falha leve
  - Aleatória, Não destrutiva
  - Sem danos permanentes à memória
- Detectado usando Código de Hamming de correção de erros

DRAM Síncrona (SDRAM)

- Acesso é sincronizado com clock externo
- Enderço é apresentado para RAM
- RAM busca o dado
- SDRAM move o dado de acordo com o clock do sistema, CPU sabe quando o dado estará pronto
- CPU não precisa esperar, pode realizar outras perações
- DDR-SDRAM envia dados múltiplas por ciclo de clock (quanatidade depende da versão)

SDRAM Temporizador de Leitura

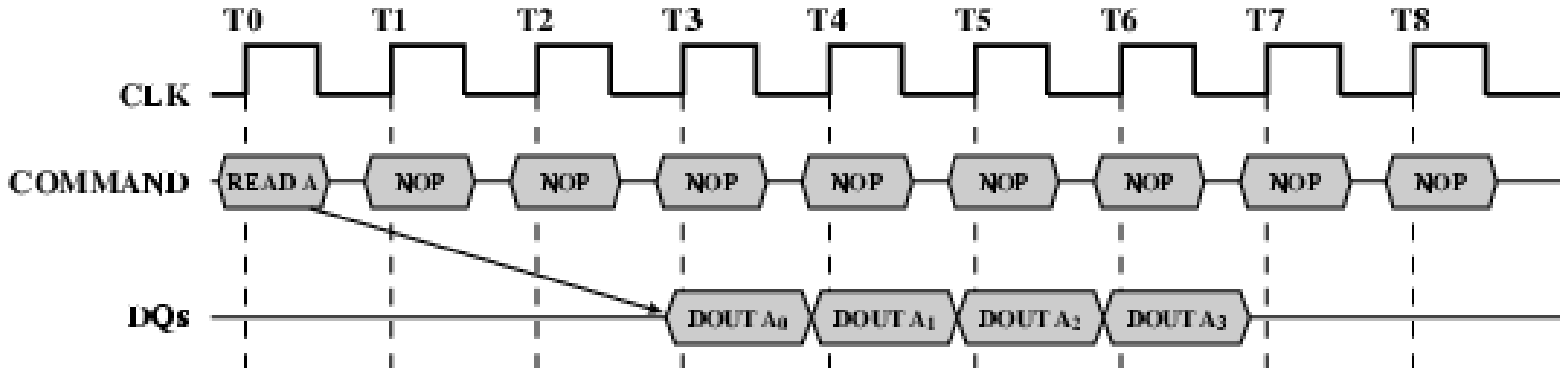
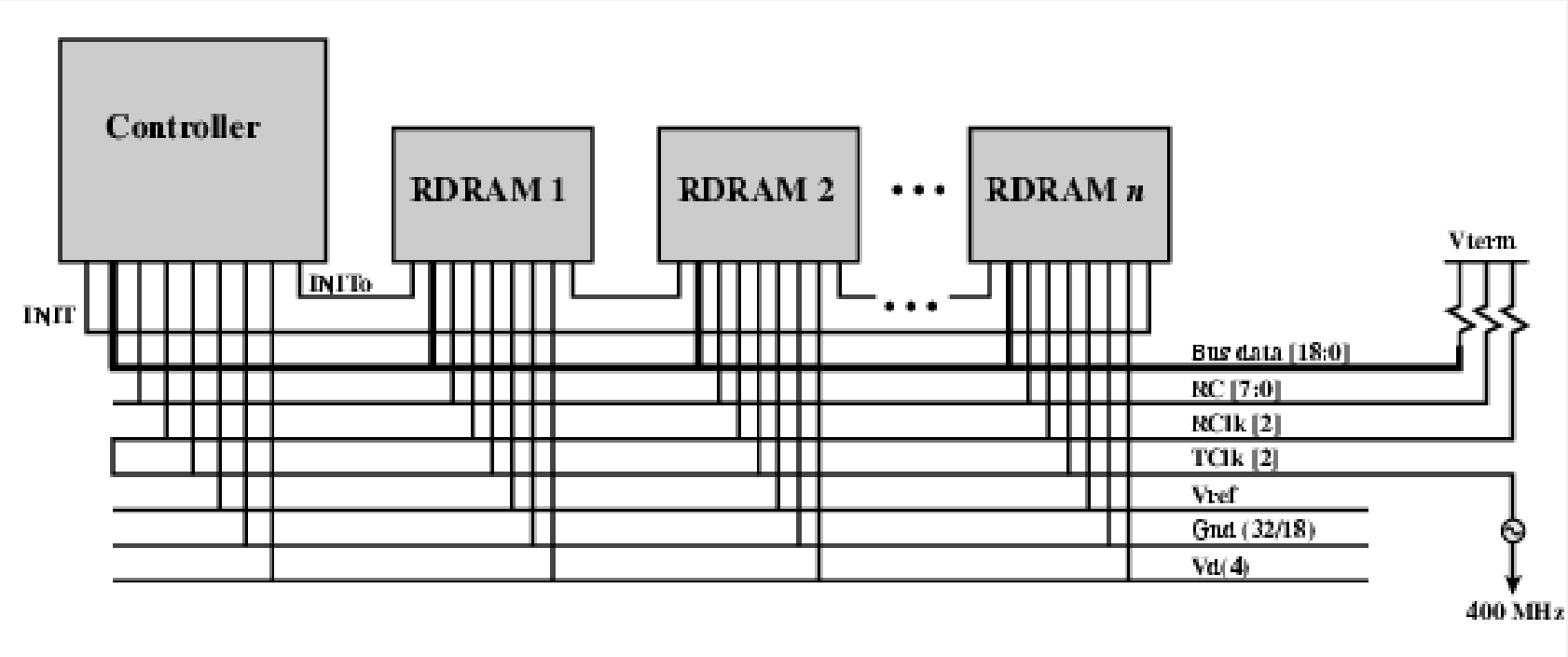


Figure 5.13 SDRAM Read Timing (Burst Length = 4, $\overline{\text{CAS}}$ latency = 2)

RAMBUS

- Adotado por Intel for Pentium & Itanium
- Principal rival da SDRAM
- Barramento a 1.6Gbps
- Assíncrono
  - Tempo de acesso de 480ns
  - Logo, 1.6 Gbps

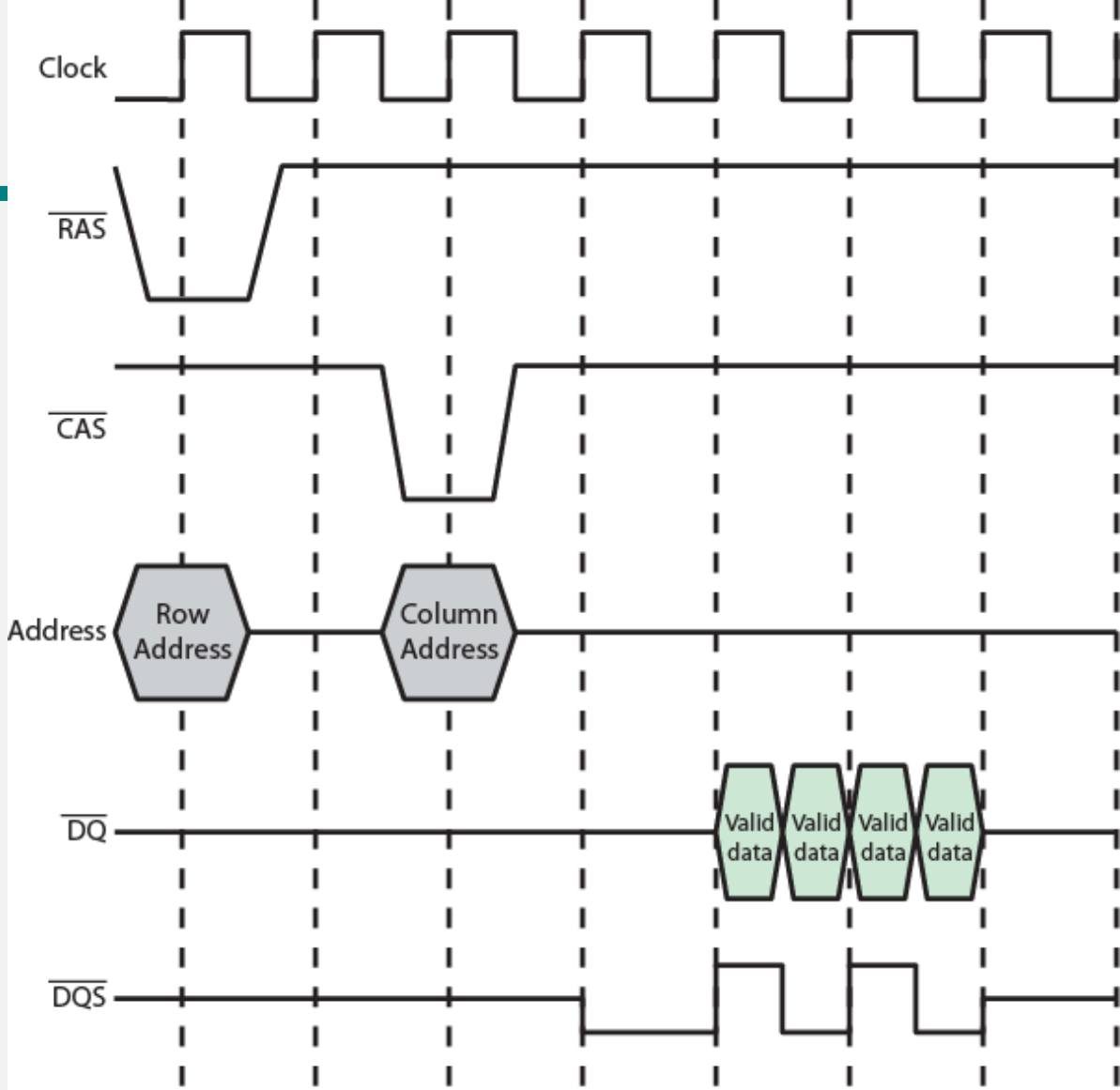
Diagrama RAMBUS



DDR SDRAM

- SDRAM somente envia um dado por ciclo de clock
- Double-data-rate (DDR) SDRAM pode enviar dois (2^1) dados por ciclo de clock
  - DDR1 – 2^1 dados por ciclo de clock
  - DDR2 – 2^2 dados por ciclo de clock
  - DDR3 – 2^3 dados por ciclo de clock
  - DDR4 – 2^4 dados por ciclo de clock
  - DDR5 – 2^5 dados por ciclo de clock

DDR SDRAM Temporizador



RAS = row address select
CAS = column address select
DQ = data (in or out)
DQS = DQ select